

TAPE CARRIER PACKAGE AND DISPLAY DEVICE USING THE SAME

Patent Number: JP10214858
Publication date: 1998-08-11
Inventor(s): TAJIMA NAOYUKI;; SENKAWA YASUNORI;; NARIAMA SEIJIROU;;
MURAHASHI SHUNICHI
Applicant(s): SHARP CORP
Requested Patent: ☐ JP10214858
Application
Number: JP19970170774 19970626
Priority Number(s):
IPC Classification: H01L21/60; G02F1/1345
EC Classification:
Equivalents: CN1184260, KR256510, TW448334

Abstract

PROBLEM TO BE SOLVED: To provide a tape carrier package(TCP) which facilitates ensuring of a good semiconductor chip before mounted thereto and also to provide a display device which facilitates its repair and enhances its reliability.

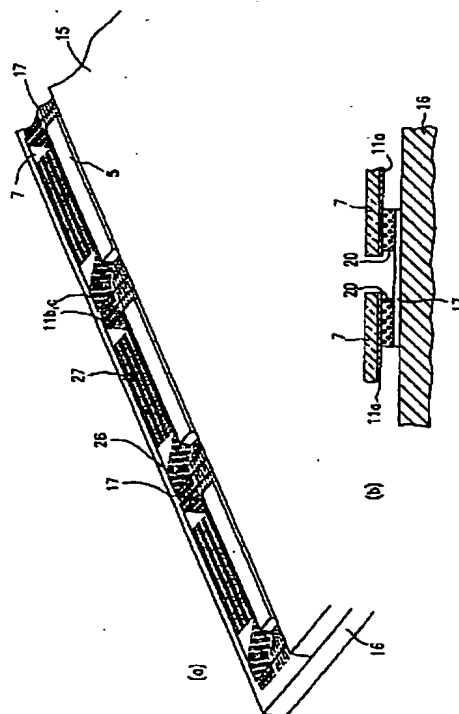
SOLUTION: TCPs 7 are fixedly connected as each in a blanked state from a tape to a lower glass plate 16 of a liquid crystal panel through a wiring pattern 17 formed on the glass plate and an anisotropic conductive film 20. Each TCP 7 includes a wiring provided on one side of a base of the tape and a semiconductor chip which is mounted on the other side of the tape base and which has an electrode electrically connected to the wiring. The wiring is extended from an end of one side of the tape base to the opposing end thereof, and an intermediate wiring part therebetween has a connection electrically connected to the electrode.

Data supplied from the esp@cenet database - 12

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

(43)公開日 平成10年(1998)8月11日



【特許請求の範囲】

【請求項 1】 テープ基材の一面側に設けられた配線と、

該テープ基材の他面側に搭載され、該配線と電氣的に接続される電極を有する半導体チップとを備え、該配線が該テープ基材の一辺端部から反対側端部まで延在し、その中間の中間配線部が該電極と電氣的に接続される接続部を有しているテープキャリアパッケージ。

【請求項 2】 前記接続部が、前記テープ基材に設けたデバイスホールよりオーバーハングして形成され、そのオーバーハング部分で前記半導体チップの電極と電氣的に接続されている請求項 1 に記載のテープキャリアパッケージ。

【請求項 3】 前記接続部を含む前記中間配線部が前記デバイスホールの上を通るように張り出して形成され、該接続部が該デバイスホールよりオーバーハングした部分にある請求項 1 または 2 に記載のテープキャリアパッケージ。

【請求項 4】 前記張り出して形成されている中間配線部が I 字状または U 字状になっている請求項 3 に記載のテープキャリアパッケージ。

【請求項 5】 前記デバイスホールは、直線状になっている中間配線部が通る部分に切欠き部が設けられている請求項 1 または 2 に記載のテープキャリアパッケージ。

【請求項 6】 前記接続部を含む前記中間配線部が、前記デバイスホール側に V 字状に屈曲し、かつ、該中間配線部の該デバイスホールの上を通る部分が直線状になっている請求項 1、2 または 5 に記載のテープキャリアパッケージ。

【請求項 7】 前記切欠き部を通る直線状の中間配線部に、屈曲させた緩衝部が設けられている請求項 5 に記載のテープキャリアパッケージ。

【請求項 8】 前記デバイスホールは、前記テープ基材に形成された他の開口部とは分離して形成され、該デバイスホールの上を前記中間配線部が直線状に横切って設けられている請求項 1 または 2 に記載のテープキャリアパッケージ。

【請求項 9】 前記配線が電源用であり、前記半導体チップの電極と電氣的に接続される信号用配線が更に前記テープ基材に形成されている請求項 1 乃至 8 のいずれか一つに記載のテープキャリアパッケージ。

【請求項 10】 前記テープ基材の前記配線が複数本形成され、その相互間に前記半導体チップとは異なる電子部品が接続搭載されている請求項 1 乃至 9 のいずれか一つに記載のテープキャリアパッケージ。

【請求項 11】 前記半導体チップが、他のテープキャリアパッケージに備わった半導体チップとの間の信号接続のためにバッファ回路を内蔵している請求項 1 乃至 10 のいずれか一つに記載のテープキャリアパッケージ。

【請求項 12】 前記半導体チップに内蔵されたバッ

ファ回路が、入力バッファ回路と出力バッファ回路とによって構成されている請求項 11 に記載のテープキャリアパッケージ。

【請求項 13】 前記半導体チップに内蔵されたバッファ回路が、入出力バッファ回路によって構成されている請求項 11 に記載のテープキャリアパッケージ。

【請求項 14】 表示パネルのガラス板上に、請求項 1 乃至 13 のいずれか一つに記載のテープキャリアパッケージが並設され、その隣合うテープキャリアパッケージが該ガラス板上に設けられた配線を介して電氣的に接続されている表示装置。

【請求項 15】 前記ガラス板上に設けられた配線とテープキャリアパッケージとの接続に、異方性導電膜が用いられている請求項 14 に記載の表示装置。

【請求項 16】 前記ガラス板上に設けられた配線は、前記ガラス板上に直接形成された配線、または前記ガラス板とは別の基板上に形成された配線である請求項 14 または 15 に記載の表示装置。

【請求項 17】 前記ガラス板上に設けられた配線には、前記半導体チップとは異なる電子部品が接続搭載されている請求項 16 に記載の表示装置。

【請求項 18】 前記表示パネルが液晶パネルである請求項 14 乃至 17 のいずれかに一つに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータやワードプロセッサなどに用いられる液晶表示装置等の表示装置、および、その表示装置に搭載され、液晶等の表示媒体を駆動するための半導体チップを備えたテープキャリアパッケージに関する。

【0002】

【従来の技術】上述した液晶表示装置は、その一例を図 23 に示すように、液晶を挟んで設けられた上ガラス板 15 と下ガラス板 16 とからなる液晶パネルと、光源としてのバックライトユニット 21 と、液晶駆動用の半導体チップ 5 と、半導体チップ 5 と下ガラス板 16 上の配線とを接続するテープキャリアパッケージ (TCP) 7 と、TCP 7 同士を接続するプリント基板 23 と、液晶パネルの周縁を覆うベセル 22 とからなる。

【0003】上述した液晶駆動用の半導体チップの搭載には、その半導体チップを直接液晶パネルに搭載する方式と、テープキャリアパッケージ (TCP) の状態で供給される半導体チップを液晶パネルに搭載する方式とが知られている。

【0004】後者の方式の場合は、図 23 に示すように、下ガラス板 16 の上に設けた電極と、TCP 7 上の導体パターン部分とを異方性導電膜 (図示せず) を介して熱圧着することにより、液晶パネルの周辺に複数個を並設して搭載される。また、液晶パネルの周辺部に複数個搭載された TCP 7 は、プリント配線の設けられた共

通のプリント基板 23 に接続され、液晶を表示するための信号はプリント基板 23 により各 TCP 7 に供給される。また、半導体チップ 5 内に取り込めないチップコンデンサ等のチップ部品は、プリント基板 23 上に搭載されていた。このような状態の液晶パネルの周縁を覆ってベセル 22 が設けられる。

【0005】かかる液晶表示装置の組立工程としては、TCP 7 の液晶駆動出力端子を、下ガラス板 16 の上に設けた電極に異方性導電膜（図示せず）により接続し、その後、TCP 7 の入力信号端子をプリント基板 23 に半田付けもしくは異方性導電膜により接続する。

【0006】ここで、図 24 に示すように、TCP に折り曲げが可能な TCP 25 を用いている場合は、その後、TCP 25 を折り曲げて、プリント基板 23 をモジュール形状に合わせるようにする。

【0007】一方、前者の方式としては、図 25 に示すように、金属突起（バンパ）を有する半導体チップ 5 を下ガラス板 16 上に設けられた配線にフェイスダウンで直接搭載する COG 法（Chip On Glass）がある。この COG 法において、接続には、半田バンパにより直接接続し、その後半導体チップとガラス板との空隙を樹脂で充填する方式（特開平 4-105331 等）と、図 25 に示すように半導体チップ 5 の金属突起（バンパ）を下ガラス板 16 上の配線に、導電性粒子 20a を含んだ樹脂（バインダー）20b からなる異方性導電膜（ACF）20 を介して接続する方式（特開平 4-76929、特開平 4-71246、特開平 4-317347 等）とがある。後者の方式の場合は、異方性導電膜 20 の樹脂（バインダー）20b が、前者の方式における充填樹脂の代わりをする。現在は、リペアが容易で樹脂充填が不要な異方性導電膜を使った COG 法が増えている。

【0008】また、上述のプリント基板を使用する方法または COG 法において使用される半導体チップには、プリント基板上の配線もしくは液晶パネル上に配置された ITO 配線によって個々の半導体チップ毎に各入力信号および電源電圧が並列的に入力される構成となっている。ただ、チップセレクト信号だけは例外として、並列的に入力されるクロック信号と同期をとることにより、他の半導体チップとの間で信号の受け渡しを行っている。

【0009】

【発明が解決しようとする課題】ところで、近年においては、液晶パネルのガラス板からはみ出た部分の幅（額縁サイズ）を縮小し、同じモジュールサイズでより大きな表示面積を確保しようとする傾向がある。また、液晶パネルは CRT と比較してコストが高いためコストダウンの要求も非常に厳しい。

【0010】このような状況の中、TCP を使用する方法では、ガラス板からはみ出る TCP の幅を縮小するた

めに半導体チップを細長い形状にしたスリムタイプの TCP を用いることが提案され（意願平 2-40145）、また、前述したように、はみ出した TCP を折り曲げて額縁サイズを縮小化出来るようにしたものが提案されている（特開平 2-132418 等）。

【0011】しかし、両提案方法とも、プリント基板、TCP および液晶パネルから構成されており、その組立工程は液晶パネルのガラス板と TCP との接続、および TCP とプリント基板との接続と 2 回の接続工程が必要となる。このことは材料費および工数のアップに繋がっており、液晶モジュールのコストダウンを行う上での障害となっていた。

【0012】更に、図 26（a）に示すように、プリント基板を使わずに、液晶パネル（図中の 15 が液晶パネルの上ガラス板である）と TCP 7 だけで液晶表示装置を構成する方法として、図 26（b）に示すように、隣り合う TCP 7 同士をじかに接続した構成となし、TCP 7 のみで入力信号の授受を行う方法が提案されている（特開平 5-297394、特開平 6-258653 等）。

【0013】しかし、この提案方法の場合は、プリント基板の材料費削減は可能であるが、接続回数は液晶パネルのガラス板と TCP 7、および TCP 7 と TCP 7 の 2 回行わねばならず、工数面でのコストダウンには至っていない。また、この提案方法において、連続して接続されている TCP 7、7 のうちの 1 個が不良になった場合、その不良の TCP 7 を取り外す際に、両隣の TCP 7 にも機械的なダメージを与える可能性があるとともに、接続を解除する場所が不良 TCP 7 の左右入力端子と出力端子の計 3 カ所になって工数面でも負荷になる。更に、入力信号の全ての受渡しを TCP 7、7 間で行うために、入力端子は TCP 7 の出力端子のある辺と垂直な左右の辺に並べる必要があるが、各入力端子に接続した入力配線の全てを並べると TCP 7 の幅が大きくなり、液晶の額縁サイズの制約に抵触する可能性が生まれてくると共に、TCP 7 の面積増大による材料コストのアップに繋がる。従って、この提案方法においては、リペアの困難さと、接続工数が減らせないことと、TCP サイズが増大することの点で課題がある。

【0014】一方、COG 法については、半導体チップを直接ガラス板上に搭載するために、TCP を使用する方法に比べてパッケージコストが掛からない。また、入力側信号をガラス板上配線で半導体チップまで供給できる場合は、プリント基板も不要であり、コスト面には大きなメリットが生じる。また、その場合、実装も半導体チップをガラス板上に搭載するだけで済み、実装コストも低減できるという利点がある。

【0015】しかし、実際には、上記のような構成が取れるのは、3～6 インチ程度の比較的小型の液晶パネルまでであり、現在主流の 10 インチ以上の大型液晶パネ

ルではこの構成は取れない。理由としては、ガラス板上の配線に用いる材料のシート抵抗が高いため、入力信号配線の配線抵抗を抑えられないからである。より詳細には、小型パネルでは配線長が短いため何とかできるが、大型パネルになればなるほど配線抵抗が増大して配線での電圧降下を引き起こし、液晶駆動用半導体チップに正常な信号を送れなくなる。

【0016】また、上述した配線抵抗を考慮すると、小型液晶パネルにおいても、ガラス板上の配線幅を太くしなければならぬので、ガラス板上のチップ搭載エリアがTCPよりも広くなり、このようなガラス板サイズの拡大は、場合によってはマザーガラスからのパネル取り数の低下を招き、モジュール全体から見れば必ずしもコストダウンにならない事もある。

【0017】この問題点に関しては、図27に示すように、液晶パネルの下ガラス板16の上にフレキシブル配線板18を各半導体チップ5の搭載部近傍に配して、フレキシブル配線板18の配線を下ガラス板16上の配線に直接接続した構成となし、フレキシブル配線板18を介して入力信号を送る方法が提案されている（実開平4-77134等）。この方法をとると、結局、TCPを使用する方法のプリント基板に相当するフレキシブル配線板が必要となり、コスト面、工程面での優位性は失われる。

【0018】更に、プリント基板を使った場合、液晶パネルサイズが大きくなると、プリント基板とガラス板との線膨張係数の差でTCPに応力が加わるため、TCPに形成した配線の断線を引き起こし、信頼性が低下する。プリント基板の代わりに、ガラス板に配線した基板を用いるという方法も提案されている（特開平8-15716）が、この方法による場合には、ガラス板配線基板はコストが高い上に、配線抵抗もプリント基板に比べて高くなるという問題がある。

【0019】また、COG法による場合は、ベアチップでの供給になるため、通常ウエハー状態でのテストは行いが、ダイシングして個別チップに分けられた後はテストされない。従って、ガラス板に搭載する際に、その半導体チップが良品か否かの保証が難しい（Known Good Dieでない）。特に、搭載個数の多い大型パネルの場合には、リペア率が増加する可能性が大きく、コストアップに繋がる。

【0020】また、上述のようにCOG法もしくはプリント基板の代わりにガラス板に配線した基板を用いる場合、入力信号を送るための配線の抵抗が高くなるのが問題となるが、半導体チップ内に設けられたアルミニウム配線を流用することによって低抵抗化を図る事ができ、高抵抗化を回避することが可能である。しかしながら、半導体チップ内の配線を使用する場合、他の半導体チップに電流が流れることおよび信頼性などを考慮すると、内部配線を大きな幅で設計する必要があり、そのた

めにチップ内の配線領域が大きくなり、チップ面積が増大し、コストアップにつながると共に、信号が半導体チップ内を経由することで、ノイズの影響を受ける可能性がある。さらに、クロック信号などの高速動作を必要とする信号については、半導体チップ内のアルミニウム配線を一部流用しただけでは、正常な状態で信号を送れなくなるという虞れがある。

【0021】本発明は、このような従来技術の課題を解決すべくなされたものであり、半導体チップが良品か否かの補償を搭載前に容易にできるテープキャリアパッケージ及びそれを使って接続工数を削減化でき、またリペアを容易にでき、しかも信頼性も向上できる表示装置を提供することを目的とする。

【0022】

【課題を解決するための手段】本発明のテープキャリアパッケージは、テープ基材の一面側に設けられた配線と、該テープ基材の他面側に搭載され、該配線と電気的に接続される電極を有する半導体チップとを備え、該配線が該テープ基材の一辺端部から反対側端部まで延在し、その中間の中間配線部が該電極と電気的に接続される接続部を有し、そのことにより上記目的が達成される。

【0023】本発明のテープキャリアパッケージにおいて、前記接続部が、前記テープ基材に設けたデバイスホールよりオーバーハングして形成され、そのオーバーハング部分で前記半導体チップの電極と電気的に接続されている構成とすることができる。

【0024】本発明のテープキャリアパッケージにおいて、前記接続部を含む前記中間配線部が前記デバイスホールの上を通るように張り出して形成され、該接続部が該デバイスホールよりオーバーハングした部分にある構成とすることができる。

【0025】本発明のテープキャリアパッケージにおいて、前記張り出して形成されている中間配線部がI字状またはU字状になっている構成とすることができる。

【0026】本発明のテープキャリアパッケージにおいて、前記デバイスホールは、直線状になっている中間配線部が通る部分に切欠き部が設けられている構成とすることができる。

【0027】本発明のテープキャリアパッケージにおいて、前記接続部を含む前記中間配線部が、前記デバイスホール側にV字状に屈曲し、かつ、該中間配線部の該デバイスホールの上を通る部分が直線状になっている構成とすることができる。

【0028】本発明のテープキャリアパッケージにおいて、前記切欠き部を通る直線状の中間配線部に、屈曲させた緩衝部が設けられている構成とすることができる。

【0029】本発明のテープキャリアパッケージにおいて、前記デバイスホールは、前記テープ基材に形成された他の開口部とは分離して形成され、該デバイスホール

の上を前記中間配線部が直線状に横切って設けられている構成とすることができる。本発明のテープキャリアパッケージにおいて、前記配線が電源用であり、前記半導体チップの電極と電気的に接続される信号用配線が更に前記テープ基材に形成されている構成とすることができる。

【0030】本発明のテープキャリアパッケージにおいて、前記テープ基材の前記配線が複数本形成され、その相互間に前記半導体チップとは異なる電子部品が接続搭載されている構成とすることができる。

【0031】本発明のテープキャリアパッケージにおいて、前記半導体チップが、他のテープキャリアパッケージに備わった半導体チップとの間の信号接続のためにバッファ回路を内蔵している構成とすることができる。

【0032】本発明のテープキャリアパッケージにおいて、前記半導体チップに内蔵されたバッファ回路が、入力バッファ回路と出力バッファ回路とによって構成されていてもよい。

【0033】本発明のテープキャリアパッケージにおいて、前記半導体チップに内蔵されたバッファ回路が、出力バッファ回路によって構成されていてもよい。

【0034】本発明の表示装置は、表示パネルのガラス板上に、上述したテープキャリアパッケージが並設され、その隣合うテープキャリアパッケージが該ガラス板上に設けられた配線を介して電気的に接続され、そのことにより上記目的が達成される。

【0035】本発明の表示装置において、前記ガラス板上に設けられた配線とテープキャリアパッケージとの接続に、異方性導電膜が用いられている構成とすることができる。

【0036】本発明の表示装置において、前記ガラス板上に設けられた配線は、前記ガラス板上に直接形成された配線、または前記ガラス板とは別の基板上に形成された配線である構成とすることができる。

【0037】本発明の表示装置において、前記ガラス板上に設けられた配線には、前記半導体チップとは異なる電子部品が接続搭載されている構成とすることができる。

【0038】本発明の表示装置において、前記表示パネルが液晶パネルである構成とすることができる。

【0039】以下に、本発明の作用につき説明する。

【0040】本発明のTCPにあっては、出力端子辺に垂直な辺に配線の入力端子を配置しているので、その入力端子を用いてテストすることにより半導体チップが良品か否かの補償が可能となる。

【0041】また、本発明の表示装置にあっては、そのTCPを入力端子部も含めて表示パネル上に搭載し、隣接するTCP間同士の電気的接続を表示パネル上の配線によって行っている。よって、最大の課題である入力信号の配線をTCPとガラス板だけに形成すればよいた

め、材料のコストダウンを図ることができることはもとより、TCPを実装することにより入出力端子の接続を1回でできるので接続工数を従来の1/3に低減できる。よって、接続工数でも大幅なコストダウンが可能である。

【0042】また、本発明ではガラス板から不良TCPのみを剥離し、ガラス板上のみ洗浄すればよいので従来の手間の半分でリペアが可能である。さらに、ガラス板からはみ出した部分のTCPはベゼル等を実装する際に折り曲げる事も可能であるために額縁サイズも低減できる。

【0043】信頼性面では線膨張係数の大きなプリント配線板を使用しないため、温度環境変化に対する信頼性は従来より向上し、振動等に対する機械的な信頼性も従来のTCP方式のTCPやプリント配線板のような可動部分や共振部分が無くなるのでCOG並の信頼性が得られる。

【0044】また、ガラス板へは異方性導電膜を介して一括ボンディングしている。そしてTCP上の配線、半導体チップ内の配線、ガラス板上の配線を異方性導電膜で電気的に相互接続することができるので、従来のプリント基板が持っていた多層配線の機能を代行させ、フレキシブル配線板やプリント基板のような連続した大きな外部基板を使わずに低配線抵抗での入力信号の送受を可能としている。

【0045】また、半導体チップ内のアルミニウム配線を使用せず、半導体チップ内にバッファ回路を内蔵することにより、半導体チップ内部の配線領域を削減でき、チップ面積を小さくすることができ、低コスト化を図れるとともに信頼性の向上も図れる。

【0046】さらに、半導体チップ内でバッファ回路を経由することにより、入力信号の波形整形を行うことができ、ノイズの影響を抑制できると共に、クロック信号など高速動作を必要とする信号においても確実に正常な状態として信号を送ることが可能となる。

【0047】また、バッファ回路を入出力バッファ回路の構成とすることにより、信号伝達方向を外部より自由に変更することが可能となり、半導体チップの共通化を図ることができる。

【0048】

【発明の実施の形態】以下に、本発明の実施形態を図面に基づいて具体的に説明する。

【0049】（実施形態1）図1は本実施形態1に係るTCPを示す平面図である。図1(a)はそのTCPを打ち抜く前の状態を示す平面図であり、図1(b)は左側の入力端子部を示す平面図、図1(c)は本発明の要部を示す平面図、図1(d)は右側の入力端子部を示す平面図である。また、図2は、そのTCPの左右の入力端子部の間の部分を示す断面図である。

【0050】TCP7は、テープ基材1として字部興産

(株)の厚さ $50\mu\text{m}$ のユービレックスに接着剤層2を介して例えば、厚さ $18\mu\text{m}$ 、最小配線幅 $30\mu\text{m}$ の電解銅箔3が配線用に積層されたものを使用している。上記テープ基材1の材料としては、ユービレックスの他に、鐘淵化学(株)のアピカルや東レデュボン(株)のカプトン等、他のポリイミドフィルムを用いることもできる。また、ポリイミド以外でもよく、ガラスエポキシ、アラミド、BTレジン、ポリエチレンテレフタレート、ポリフェニルエーテル等のフィルムも使用できる。また、接着剤層2が無く、基材1の上に直接に導体である電解銅箔3がパターンが形成されているTCPとして

【0051】上記電解銅箔3は、TCP7の長さ方向の中央部に、図1の例では紙面の下側に配した出力端子群27、同じく紙面の上面側に配した電源用リード11a、入力端子11b、11c、インナーリード12b、12cなどの配線を構成している。また、この電解銅箔3の上側には、図2に示すように、電解銅箔3の一部、たとえば端子部などの部分を除いて封止樹脂4が設けられ、また、テープ基材1の下には、半導体チップ5が設けられており、半導体チップ5の周囲を覆って封止樹脂4が設けられている。

【0052】上記電源用リード11aは、図1(c)に示すように、開口しているデバイスホール8の中央付近でデバイスホール8内にオーバーハングし、そのオーバーハングパターン12aの部分が、デバイスホール8より下側の半導体チップ5の上に設けた電源電極パンプ10aに接続されている。電源電極パンプ10a以外の入力端子11bには配線的一端が接続され、その配線の他端側は、デバイスホール8に設けたインナーリード12bを介して半導体チップ5上に形成してあるパンプ10bにインナーリードボンディングされる。よって、入力信号は、半導体チップ5内のロジック回路部分に伝達されると共に、チップ内配線13を通じて反対側の辺のパンプ10cまで伝達される。その際必要ならば、半導体チップ5内にバッファ回路を入れて、入力信号の同期を取った後にパンプ10cから取り出す事もできる。その後、インナーリード12cを通じて再びTCP上配線を通して入力端子11cから出ていく。

【0053】つまり、このTCPは、電源端子等、更に配線抵抗に対する要求の厳しい端子については、チップ内配線を信号伝搬経路に使わないで済むように、左右の入力端子間を、連続したTCP上のリード11aで接続し、その連続したリード11aを横切るようにテープ基材に開口部であるデバイスホール8を設けてその開口部に相対する半導体チップ5上に電極とパンプを形成し、そこで開口部にオーバーハングしたTCP上の連続したリード11aとボンディングを行い、半導体チップ5に信号を供給する構造を取る。

【0054】全てのインナーリードには厚さ $0.2\mu\text{m}$

のスズメッキが施され、半導体チップ5上の接続用パンプと熱圧着により接続されている。尚、TCPの導体メッキはスズ以外に、Ni/Auメッキ、半田メッキでも可能である。デバイスホール8の周辺は封止樹脂4により封止されている。

【0055】なお、本実施形態1においてテープから打ち抜かれて1つずつのTCPとなる部分は、一点鎖線(7a)にて示す部分である。場合によっては、電源用リード11a側の端は、一点鎖線(7a)により示す打ち抜き位置を変えることにより異なる数種の形状にできる。

【0056】(実施形態2)図3は、本実施形態2に係るTCPの要部を示す平面図であり、図4は図3のA-A線による断面図である。

【0057】本実施形態2では、電源用リード11aの配設の仕方を変えている。つまり、一番外側の端の電源用リード11aにおけるデバイスホール8側のオーバーハングパターン12aをI状になし、他の電源用リード11aにおけるデバイスホール8側のオーバーハングパターン12aをU状になして、半導体チップ5の上に設けた電源電極パンプ10aに接続している。なお、出力端子群27の一部は省略している。

【0058】このようにした場合は、実施形態1よりもI状のリード11aの分だけ長さを短くでき、抵抗を小さくできると共に、U状パターン1組分の配線領域を小さくできるので、設計の自由度を大きくできる。

【0059】(実施形態3)図5に、本実施形態3に係るTCPを示す平面図であり、(a)はその数個分を示し、(b)は要部を示す平面図である。

【0060】本実施形態3は、実施形態1と信号の流れや機能は同じであるが、デバイスホール8の一部に切欠き部9を設けると共に、その切欠き部9の部分におけるオーバーハングパターン12aの形状を直線状にしておき、切欠き部9の部分においてオーバーハングパターン12aと半導体チップ5上の電源電極パンプ10aとの接続を行う構成にしている。本実施形態3における電源用リード11aのオーバーハングパターン12a近傍部分は、全体としてV状パターンとなっている。このオーバーハングパターン12aの場合は、デバイスホール8の部分におけるU状に湾曲した部分を短く、または省略できるメリットがある。但し、電源電極パンプ10aが出力端子群27の列に対して垂直に伸びるので、半導体チップの幅が広がる可能性もあり、使う状況やLSIのレイアウトに応じ、実施形態1や2と比較して生産技術的、コスト的に有利な方を使うのがよい。

【0061】(実施形態4)図6は、本実施形態4に係るTCPを示す平面図である。図6(a)はその数個分を示す平面図であり、図6(b)はその要部を示す平面図である。

【0062】本実施形態では、実施形態3におけるオー

パーハングパターン 12a に緩衝機能を持たせた場合である。具体的には、オーバーハングさせたオーバーハングパターン 12a の一部、たとえば図示例の場合は 2 箇所に S 字部を設けている。よって、本実施形態の場合には、オーバーハングパターン 12a の両端間に動きの自由度を与えることができ、インナーリードボンディングした際に、電源用リード 11a が伸び易くなり、断線に対して強い状態にできる。

【0063】なお、バンプ間スペースが十分に取れない場合は、S 字ではなく、くの字状、もしくは W 字状のパターンの緩衝部にしてもよい。

【0064】本実施形態は、実施形態 3 に対してだけでなく、実施形態 1 や 2 に対しても適用できる。

【0065】(実施形態 5) 図 7 は、本実施形態に係る TCP を示す平面図である。

【0066】本実施形態の TCP は、テープ基材上のリード 11a にチップ部品 (例えばチップコンデンサ) 14 を搭載した場合である。この場合、電源用リード 11a における電源ライン Vdd と接地ライン GND とに半田付け用パッド 11d を設け、その周囲をソルダーレジスト 6 でカバーし、チップ部品 14 を搭載するのが好ましい。チップ部品 14 の搭載は、テープ状態、半導体チップ 5 を実装した後の TCP 状態、TCP を液晶パネルに実装した後の状態のいずれの場合も可能である。

【0067】(実施形態 6) 図 8 は、本実施形態に係る TCP を示す平面図である。

【0068】本実施形態では電源用リード 11a は、ほぼ直線状に形成され、更にその中間配線部がデバイスホール 8 の上部をほぼ直線状に通過するように形成され、中間配線部の中間において半導体チップ 5 の電源電極バンプ 10a と接続部を介して電気的に接続される。また、デバイスホール 8 が他の開口部 (他のデバイスホール) 8a とは分離して形成されている。本実施形態に示すように、デバイスホール 8 は半導体チップ 5 と電源用リード 11a との接続ができる形状であればよく、必要に応じて適当な形状とすることができる。なお、出力端子群 27 の一部は省略して示している。その他の部分は、図 3 (実施形態 2) と同一であり、詳細説明は省略する。

【0069】(実施形態 7) 図 9 (a) は、本実施形態に係る液晶表示装置の TCP 取付け部分を示す斜視図であり、図 9 (b) は液晶表示装置と TCP との取付け部分を示す断面図である。

【0070】本実施形態の液晶表示装置は、TCP 7 がテープから打ち抜かれた状態で 1 個ずつ、液晶パネルの下ガラス板 16 上に形成された配線パターン 17 と異方性導電膜 20 を介して接続され、固定されている。なお、本図では TCP 7 はテープも含めて完全に下ガラス板 16 上に乗っているが、場合によっては TCP 7 のテープもしくは半導体チップ 5 の一部が下ガラス板 16

から外側にはみ出る場合もある。しかし、その場合でも、本発明の利点である共通配線基板であるプリント基板が不要というメリットは持っている。

【0071】実装工程としては、以下の通りである。TCP 7 は、テープ状態で供給され、金型等で所定の形状に打ち抜かれて作製される。次に、TCP 7 を液晶パネルの下ガラス板 16 上の所定の配線接続部にアライメントし、仮接続を行う。その後、本圧着を行い、TCP 7 の入出力端子部を液晶パネルの下ガラス板に固定する。液晶パネルの下ガラス板 16 と TCP 7 との接続は、前記異方性導電膜 20 を使って行い、ボンディングツール形状や装置を工夫することにより、出力端子と入力端子とを同時に 1 回で接続することが可能である。また、万が一、全ての TCP 7 を実装した後のテストで、そのうち 1 つの TCP 7 が不良だった場合、不良 TCP 7 の両隣の TCP 7 にはダメージを与えることなく、不良 TCP 7 だけを下ガラス板 16 から取り外し、良品の TCP 7 と取り替えることができる。リペアは、加熱して不良 TCP 7 を下ガラス板 16 から剥離し、下ガラス板 16 を専用溶剤で洗浄した後、別の良品 TCP 7 を前述と同じ手順で搭載する。

【0072】図 10 に、液晶パネルおよび TCP の電気的接続部分の信号の流れを示す。この図に示す様に、電源信号は、一部を液晶パネルの下ガラス板 16 上の配線パターン 17 を介して複数の TCP 7 に供給されていく。なお、図 10 中の 26 は、TCP 上配線であり、同じく 13 はチップ内配線である。

【0073】次に、この実施形態の入力配線抵抗と、従来技術である図 15 に示した ACF-COG 方式で入力配線を全てガラス板上配線で賄った場合の入力配線抵抗とを、試算により比較する。試算に用いる液晶パネルとしては、11.3 インチの SVGA 仕様の単純マトリックス方式液晶パネルとする。この場合、240 出力の液晶駆動用 TCP を、液晶パネルの片側に 10 個ずつ搭載し、各 TCP の入力信号配線数は約 20 本前後である。

【0074】11.3 インチの液晶パネルにおける TCP 搭載部分の長さを 220 mm とすると、TCP 1 個当たりの搭載可能長さ (a) は 22 mm になる。ここで、TCP 1 個の長さを 21.5 mm とすると、下ガラス板 16 上の配線パターン 17 の長さ (c) は 1 個当たり 0.5 mm になる。

【0075】本発明の場合、1 個の半導体チップの両端の電極間は TCP の銅箔からなる配線によって繋がっているため、その配線の長さ (d) は屈曲も考慮して 1 個当たり 23 mm 程度になる。つまり、本発明の場合、液晶パネル片側の配線長は、TCP の銅箔からなる配線が $23 \times 10 = 230$ mm、下ガラス板 16 上の配線パターン 17 が $0.5 \times 10 = 5$ mm になる。なお、配線パターン 17 の計算において 10 倍としたのは、TCP 間は 9 箇所であるが、両端の TCP の外側の半分の長さ分

の配線をも考慮しているためである。また、TCPの銅箔からなる配線と、下ガラス板16上の配線パターン17との異方性導電膜20による接続箇所が $2 \times 10 = 20$ カ所ある。

【0076】一方、従来技術である図15に示したACF-COG方式で入力配線を全てガラス板上配線で賄った場合は、下ガラス板16の上の配線のみであり、その長さが220mmとなり、また、異方性導電膜20による接続が1回という構成になる。

【0077】今、銅の比抵抗が $1.7 \times 10^{-8} \Omega \text{cm}$ 、ガラス板上配線のシート抵抗が $1 \Omega / \square$ で配線幅が1mm、異方性導電膜20の接続抵抗を $0.1 \Omega / \text{箇所}$ とすると、液晶パネルの片側の全配線抵抗は、従来技術のACF-COG方式の場合では約220 Ω になり、本発明の場合では約17 Ω となる。このように従来の方法に比べて、本発明による場合には配線抵抗の低減に絶大な効果がある。

【0078】このような効果は、実施形態1~6のTCPを用いる場合の総てにおいて有する。また、実施形態1~6の総てのTCPにおいては、半導体チップ上に設けた配線の両端の一方に、連続したリード11aを2分割した一方の端を接続し、半導体チップ上の配線の他方の端に、2分割したリードの他方の端を接続した場合、つまり入力電圧をリードの一方から半導体チップ上の配線へと送り、更にリードの他方へと送る構成の場合、よりも抵抗を極めて小さくできる。その理由は、本発明のリードは電解（もしくは圧延等）により形成した比較的厚みのある（例えば約18 μm ）ものであるが、そのシート抵抗は約0.01~0.003 Ω となるのに対し、半導体チップ上の配線は蒸着等により形成された厚みの薄い（例えば約1 μm ）ものからなるためであり、そのシート抵抗は0.1~0.5 Ω と大きな値になるからである。

【0079】（実施形態8）図11は、本実施形態に係る液晶表示装置のTCP取付け部分を示す斜視図である。

【0080】本実施形態は、特に低配線抵抗の必要な大型パネルにおいて、電源ライン配線部分のみ下ガラス板上の配線を使わずに、TCP間接続用基板19の上に形成した配線19aを介して隣接するTCP7同士を接続した場合である。両端のTCP7には、下ガラス板16の上に設けた配線パターン17が接続される。なお、図11中の26はTCP上配線である。

【0081】この場合、まず液晶パネルの下ガラス板16の上におけるTCP間に相当する位置に、TCP間接続用基板19を配線19aのパターン面が露出する方向にして貼り付ける。その後、実施形態7と同じ手順でTCP7を実装していく。この方法の場合、TCP間接続用基板19の配線は、本発明のTCPの配線と同様にシート抵抗が約0.01 Ω 以下の配線とすることにより、

配線抵抗は1 Ω 以下になり、液晶パネルのサイズが今後更に大型化した場合、配線抵抗が比例増加するのを防止する効果がある。

【0082】また、図12(a)に示すようにTCP間接続用基板19の上に、もしくは図12(b)に示すようにTCP間接続用基板19の内部にチップコンデンサ等の電子部品14を搭載してもよい。基板内部に搭載する場合は、基板材料として、図12(b)に示すLTC C (Low Temperature Cofired Ceramic) 基板を使い、基板内部もしくは表面に印刷等の手法でコンデンサの電子部品14を作り込んだ構成とするのがよい。このようにすると、実装コストを抑えられるし、設計の自由度を増す事ができる。

【0083】なお、上述した説明では液晶表示装置の場合を例に挙げているが、本発明はこれに限らず、表示媒体が液晶以外の他のものである表示装置一般に適用できることはもちろんである。

【0084】（実施形態9）図13は、本実施形態9に係るTCPの要部およびそれに搭載される半導体チップを示す図である。ただし、TCPの部分は、上述の他の実施形態にて説明されているどのTCPでも実現が可能である。

【0085】まず、図13の半導体チップ5の構成および動作について説明する。ただし、説明の都合上、半導体チップ5への入力信号は図の(A)側よりコントローラまたは他の半導体チップよりガラスパネル上のITO配線などを經由して供給され、図の(B)側より出力して、ガラスパネル上のITO配線を經由して別のTCP7に設けられた他の半導体チップに供給するものとする。

【0086】(A)側の端子11bより入力された入力信号は、TCP7上のインナーリード配線を經由して、半導体チップ5上のパンプ10bに与えられる。そのパンプ10bは半導体チップ5内のアルミニウム配線などの配線29aと電気的に接続されており、その半導体チップ内のアルミニウム配線などの配線29aは、バッファ回路28に接続されている。バッファ回路28は入力信号を波形整形し、その波形整形した信号で内部ロジック回路（図示せず）に接続されているトランジスタを駆動すると共に、半導体チップ5上のアルミニウム配線などの配線29bおよびパンプ10b、更にはTCP7上のインナーリード配線を經由して(B)側の端子11bより出力され、次の半導体チップに供給される。

【0087】半導体チップ内のアルミニウム配線などの配線29aは、バッファ回路28のトランジスタへの充放電電流を考慮した配線幅にて設計することが可能であり、また、アルミニウム配線などの配線29bは、内部ロジック回路へ接続されるトランジスタおよび次の半導体チップのバッファ回路のトランジスタへの充放電電流とITO配線などの接続負荷を考慮した配線幅にて設計

することが可能である。それによって、いままで接続される全ての半導体チップおよびITO配線などの接続負荷を考慮して設計していた配線幅に対して、その幅を大きく削減することができると共に、チップ面積を削減できる。また、バッファ回路28によってそれぞれの半導体チップ5毎で波形整形されるため、駆動するトランジスタやITO接続配線負荷などの影響を受けずに正常な状態で信号を送ることができ、誤動作を防止できると共に、ノイズの影響を抑制できる。

【0088】一方、内部ロジック回路に接続されているトランジスタを経由した信号は、さまざまな論理回路を経て、出力端子より出力され、表示装置の表示媒体を駆動する。ここでは、その部分の回路についての説明は省略する。

【0089】次に、図14は、図13のバッファ回路28部分の一例である。図14では、バッファ回路28が四段のインバータ回路30で構成されているが、二段や六段などの別の2の倍数の段数にすることも可能である。また、図14の一段目のインバータ回路30をシュミット回路や入力コンパレータ回路とすることもでき、別の回路構成にすることもできる。

【0090】また、図15は、図13のバッファ回路28の設置位置を変更した図である。バッファ回路28の設置位置を変更しても、上述と同じ効果が得られる。

【0091】（実施形態10）図16は本実施形態10に係るTCPの要部およびそれに搭載される半導体チップを示す図である。ただし、TCPの部分は、上述の他の実施形態にて説明されているどのTCPでも実現可能である。

【0092】図16は、上述の図13で説明した半導体チップ5内のバッファ回路を入力バッファ回路31と出力バッファ回路32にそれぞれ分割し、それぞれのバッファ回路31、32を半導体チップ5内のアルミニウム配線などの配線29a、29b、29cによって接続したものである。また、それぞれのバッファ回路31、32を接続する配線29bは、内部ロジック回路に接続されているトランジスタに接続されている。

【0093】動作については、実施形態9で説明した内容と同様に、図16の(A)側の端子11bより入力された入力信号がTCP7上のインナーリード配線、バンプ10b、半導体チップ5内のアルミニウム配線などの配線29aを経由して入力バッファ回路31を駆動する。入力バッファ回路31は、それ以降にアルミニウム配線などの配線29bによって接続されている出力バッファ回路32および内部ロジック回路に接続されるトランジスタを駆動する。さらに、出力バッファ回路32からは、アルミニウム配線などの配線29c、バンプ10b、TCP7上のインナーリード配線を経て(B)側の端子11bより出力されると共に、次の半導体チップを駆動する。

【0094】ただし、上述の内容は、実施形態9の場合と同様、(A)側から入力され(B)側から出力される場合であり、実際には、(B)側から入力され(A)側から出力される場合もある。もし、仮に、(B)側から入力され(A)側から出力される場合には、図16の入力バッファ回路31と出力バッファ回路32の位置が入れ換わる。半導体チップ5内のアルミニウム配線などの配線29aは入力バッファ回路31のトランジスタへの充放電電流などを考慮し、アルミニウム配線などの配線29bは内部ロジック回路に接続されているトランジスタおよび出力バッファ回路32のトランジスタへの充放電電流などを考慮し、アルミニウム配線などの配線29cは、ITO接続配線負荷および次の半導体チップの入力バッファ回路のトランジスタへの充放電電流などを考慮してそれぞれの配線幅を設計することができる。

【0095】それぞれの配線29a、29b、29cの幅は、全ての半導体チップが半導体チップ内の配線でつながっていた場合に比べ小さくできる。また、配線29bは、半導体チップ5の外部に接続されず、駆動する負荷も小さいため、より小さな配線幅とすることができると共に、外来ノイズの影響を受けない。さらに、入力バッファ回路31および出力バッファ回路32を、それぞれに配線29a、29cにてつないでいるバンプ10bの近くに配置することにより、バンプ10bと各バッファ回路31、32との間の配線29a、29cを短くし、外来ノイズの影響をさらに抑制できると共に、半導体チップ5内に占める配線領域をより削減できる。また、入力バッファ回路31および出力バッファ回路32は、実施形態9で説明したバッファ回路と同等の働きおよび効果を生み出す。

【0096】また、図17(a)は、図16の入力バッファ回路31部分の一例であり、図17(b)は同じく出力バッファ回路32部分の一例である。図17(a)では、入力バッファ回路31が二段のインバータ回路30で構成され、図17(b)では出力バッファ回路32が四段のインバータ回路30で構成されているが、入力バッファ回路31および出力バッファ回路32の両方に使用されている全てのインバータ回路30は、その段数が2の倍数となるように変更することも可能である。例えば、入力バッファ回路31では一段、出力バッファ回路32では三段のインバータ回路30で構成することもできる。また、入力バッファ回路31の初段のインバータ回路30および出力バッファ回路32の初段のインバータ回路30はそれぞれ必要に応じてシュミット回路や入力コンパレータ回路にすることも可能である。また、同等の効果が得られる別の回路構成でもよい。

【0097】（実施形態11）図18は本実施形態11に係るTCPの要部およびそれに搭載される半導体チップを示す図である。ただし、TCPの部分は、上述の他の実施形態にて説明されているどのTCPでも実現可能

である。

【0098】図18は、上述の図16で説明した入力バッファ回路31および出力バッファ回路32をそれぞれ入出力バッファ回路33に置き換えたものである。それぞれの入出力バッファ回路33は、入力される信号の方向に応じて片側が入力バッファ回路の役割をすると、他の片側が出力バッファ回路の役割をする。また、信号がどちらの方向から送られてくるかによって、半導体チップ5の外部から入出力バッファ回路33を入力バッファ回路または出力バッファ回路のいずれか一方にするのか

を設定することが可能である。さらに、使用する方向が決まっている場合には、半導体チップ5の内部またはTCP7上で方向選択信号をある電源レベルに固定することも可能である。また、動作などについては、実施形態10で説明した内容と同じとなるため、ここでは省略する。

【0099】図19は、図18の入出力バッファ回路33部分の一例である。図の方向選択信号SHLによって片側が入力バッファ回路となる場合、他の片側が出力バッファ回路となる。この図19において、30はインバータ回路、34はクロックドインバータ回路、35はNAND回路、36はNOR回路、37はPMOSTランジスタ、38はNMOSTランジスタである。また、入出力バッファ回路33を構成するトランジスタの段数は変更する事も可能であり、入出力バッファ回路33の一部にシュミット回路や入力コンパレータ回路を使用する事や他の別の回路構成でも実現可能である。トランジスタの段数については、実施形態10で説明した内容と同じとなるためここでは省略する。

【0100】また、図20および図21は、本実施形態11に係る他のTCPの要部およびそれに搭載される半導体チップを示す図である。ただし、TCPの部分は上述の他の実施形態にて説明されているどのTCPでも実現可能である。

【0101】図20は図13で説明したバッファ回路28を入出力バッファ回路33に変更したものであり、図21は図15で説明したバッファ回路28を入出力バッファ回路33に変更したものである。動作などについては実施形態9と同一であるため、ここでは説明を省略する。

【0102】図22は、図20および図21の入出力バッファ回路33部分の一例である。図22の回路は上述のように構成するトランジスタの数を変更することや一部の回路部分にシュミット回路や入力コンパレータ回路を用いることも可能であり、また、別の回路構成でも実施可能である。

【0103】以上説明した実施形態11の構成とすることにより、例えば、STN液晶パネルは、大型パネルの場合、表示品位との兼ね合いにより一画面を上下二画面に分割し別々に駆動する二画面駆動法にて駆動されてい

る。このような場合、上側に使用される半導体チップと下側に使用される半導体チップとの信号の入力方向が逆になる。しかしながら、信号の入力方向が外部より設定できるようになっていれば、同一半導体チップにて共通化を図ることができる。また、信号の入力方向毎に半導体チップを開発する必要がなく、開発効率の向上と管理の簡易化を図ることができる。

【0104】

【発明の効果】以上詳述したように、本発明のTCPによる場合には、出力端子辺に垂直な辺に配線の入力端子を配置しているの、その入力端子を用いてテストすることにより半導体チップが良品か否かの補償が可能となる。

【0105】また、本発明の表示装置にあつては、そのTCPを入力端子部も含めて表示パネル上に搭載し、隣接するTCP間同士の電氣的接続を表示パネル上の配線によって行っているの、TCPを実装することにより入出力端子の接続を1回でできるので接続工数を従来の1/3に低減できる。また、本発明ではガラス板からTCPを剥離し、ガラス板上のみ洗浄すればよいので従来の手間の半分でリペアが可能である。さらに、ガラス板からはみ出した部分のTCPはベゼル等を実装する際に折り曲げる事も可能であるために額縁サイズも低減できる。信頼性面では線膨張係数の大きなプリント配線板を使用しないため、温度環境変化に対する信頼性は従来より向上し、振動等に対する機械的な信頼性も従来のTCP方式のTCPやプリント基板のような可動部分が無くなるのでCOG並の信頼性が得られる。

【0106】また、従来方法ではプリント基板とガラス基板の線膨張係数の差によってTCPとの接続部に多大な応力が加わり、パターン断線を引き起こす可能性が増大していたが、本発明ではプリント基板を使わないため、そのような応力は無く、大型パネルへの実装を安全に行うことができる。

【0107】また、本発明の半導体チップはバッファ回路を内蔵することによって、半導体チップ面積を削減でき、低コスト化を図ると共に信頼性の向上も図れる。さらに、ノイズの影響を抑制することができ、クロック信号などの高速動作を必要とする信号においても確実に正常な信号を送ることが可能であり、半導体チップの誤動作を防止することができる。

【0108】また、バッファ回路を入出力バッファ回路の構成とすることにより、信号伝達方向を外部より自由に変更することが可能となり、半導体チップの共通化を図ることができる。

【図面の簡単な説明】

【図1】実施形態1に係るTCPを示す平面図であり、(a)はそのTCPを打ち抜く前の状態を示す平面図、(b)は左側の入力端子部を示す平面図、(c)は本発明の要部を示す平面図、(d)は右側の入力端子部を示

す平面図である。

【図 2】実施形態 1 に係る TCP の左右の入力端子部の間の部分を示す断面図である。

【図 3】実施形態 2 に係る TCP の要部を示す平面図である。

【図 4】図 3 の A-A 線による断面図である。

【図 5】(a) は実施形態 3 に係る TCP を示す平面図であり、(b) はその一部を拡大して示す平面図である。

【図 6】(a) は実施形態 4 に係る TCP を示す平面図であり、(b) はその一部を拡大して示す平面図である。

【図 7】実施形態 5 に係る TCP を示す平面図である。

【図 8】実施形態 6 に係る TCP を示す平面図である。

【図 9】(a) は実施形態 7 に係る液晶表示装置の TCP 取付け部分を示す斜視図であり、(b) はその要部を示す断面図である。

【図 10】実施形態 7 に係る液晶表示装置における電気的接続部分の信号の流れを示す図である。

【図 11】実施形態 8 に係る液晶表示装置の TCP 取付け部分を示す斜視図である。

【図 12】実施形態 8 に係る液晶表示装置の変形例であり、(a) は TCP 間接続用基板に電子部品を搭載した場合を示す斜視図、(b) はその TCP 間接続用基板に LTCC 基板を用いて基板内部もしくは表面に電子部品を作り込んだ場合を示す斜視図である。

【図 13】実施形態 9 に係る TCP の要部およびそれに搭載される半導体チップを示す平面図である。

【図 14】図 13 のバッファ回路部分の論理回路図の一例である。

【図 15】図 13 からバッファ回路の設置位置を変更した TCP の要部およびそれに搭載される半導体チップを示す平面図である。

【図 16】実施形態 10 に係る TCP の要部およびそれに搭載される半導体チップを示す平面図である。

【図 17】図 16 の入力バッファ回路および出力バッファ回路部分の論理回路図の一例である。

【図 18】実施形態 11 に係る TCP の要部およびそれに搭載される半導体チップを示す平面図である。

【図 19】図 18 の入出力バッファ回路部分の論理回路図の一例である。

【図 20】実施形態 11 に係る他の TCP の要部およびそれに搭載される半導体チップを示す平面図である。

【図 21】実施形態 11 に係る他の TCP の要部およびそれに搭載される半導体チップを示す平面図である。

【図 22】図 20 および図 21 の入出力バッファ回路部分の論理回路図の一例である。

【図 23】従来のフラット実装方式により得られた液晶表示装置の縁部を示す断面図である。

【図 24】従来の折り曲げ実装方式により得られた液晶

表示装置の縁部を示す断面図である。

【図 25】従来の ACF-COG 法により得られた液晶表示装置の縁部を示す断面図である。

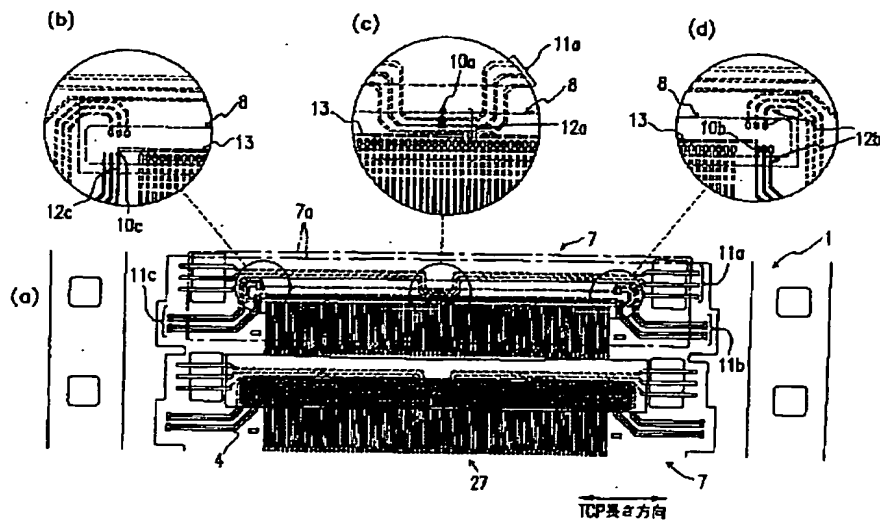
【図 26】(a) は従来の隣接する TCP を直接接続して実装する方法を説明するための平面図であり、(b) はその TCP 部分を拡大して示す平面図である。

【図 27】従来のフレキシブル配線板で入力信号を供給する COG 方式の液晶表示装置の周辺を示す斜視図である。

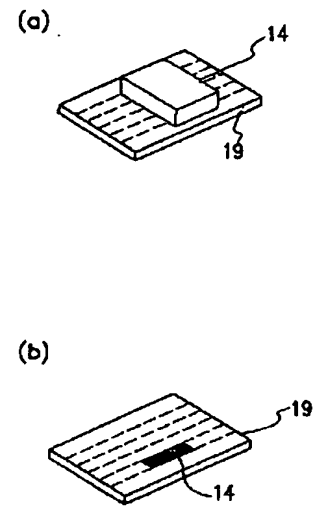
【符号の説明】

- 1 テープ基材
- 2 接着剤層
- 3 銅箔
- 4 封止樹脂
- 5 半導体チップ
- 6 ソルダレジスト
- 7 TCP (テープキャリアパッケージ)
- 8 デバイスホール
- 8a 他の開口部 (他のデバイスホール)
- 9 切欠き部
- 10a 電源電極バンパ
- 10b、10c バンパ
- 11a 電源用リード
- 11b、11c 入力端子
- 12a オーバーハングパターン
- 12b、12c インナーリード
- 13 チップ内配線
- 14 チップ部品
- 15 上ガラス板
- 16 下ガラス板
- 17 配線パターン
- 18 フレキシブル配線板
- 19 TCP 間接続用基板
- 20 異方性導電膜 (ACF)
- 21 バックライトユニット
- 22 ベゼル
- 23 プリント基板
- 26 TCP 上配線
- 27 出力端子群
- 28 バッファ回路
- 29a、29b、29c アルミニウム配線などの配線
- 30 インバータ回路
- 31 入力バッファ回路
- 32 出力バッファ回路
- 33 入出力バッファ回路
- 34 クロックドインバータ回路
- 35 NAND 回路
- 36 NOR 回路
- 37 PMOS トランジスタ
- 38 NMOS トランジスタ

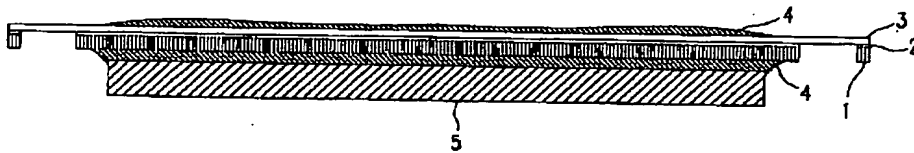
【図 1】



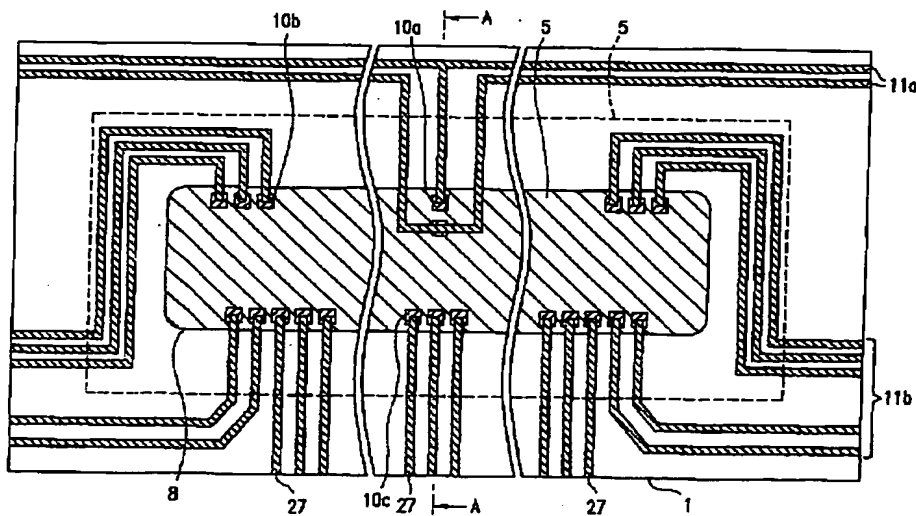
【図 12】



【図 2】

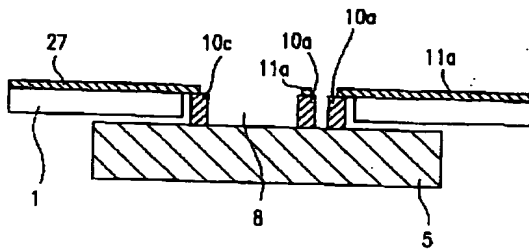


【図 3】

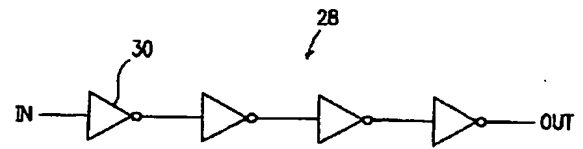


【図4】

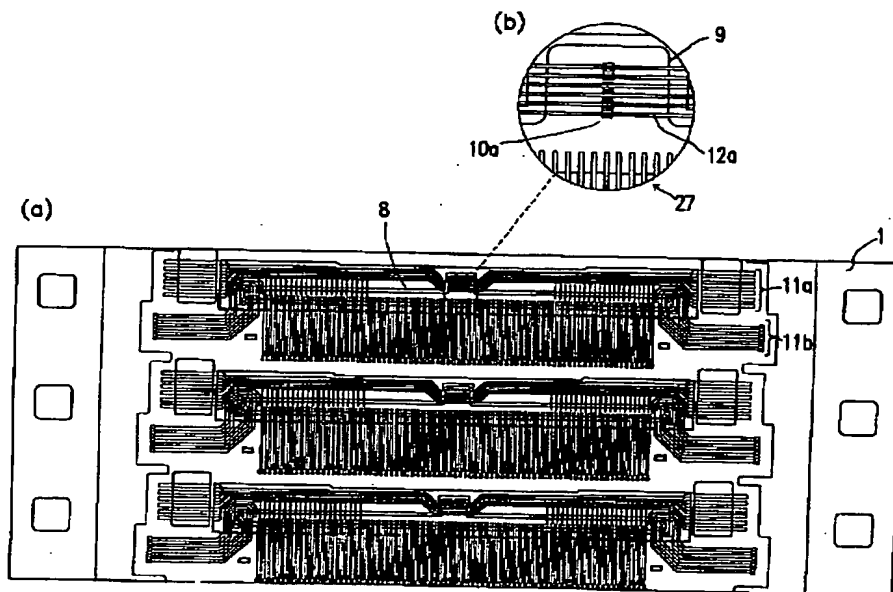
A-A断面図（剥止樹脂は省略）



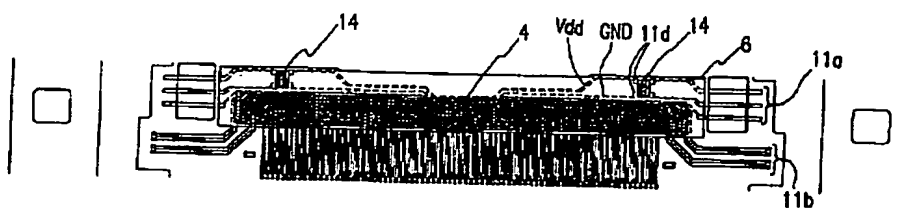
【図14】



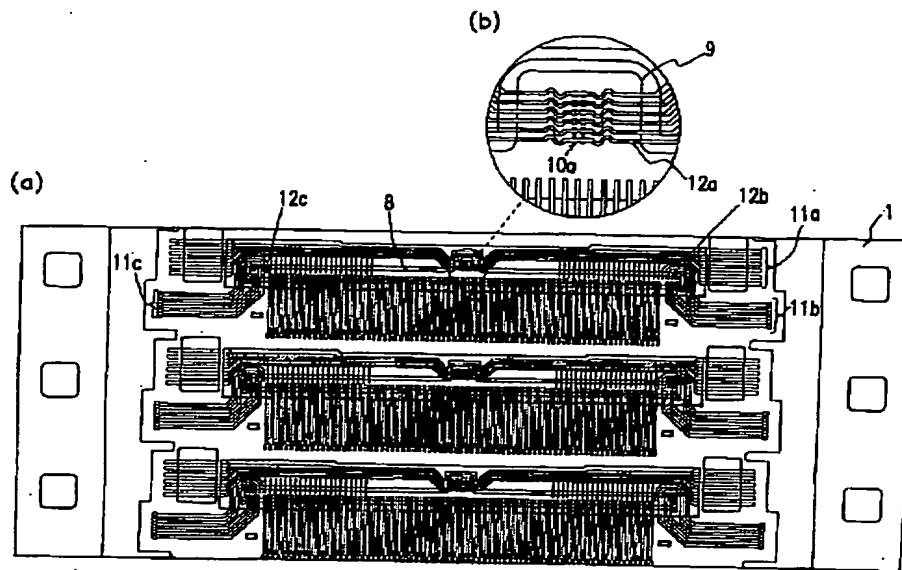
【図5】



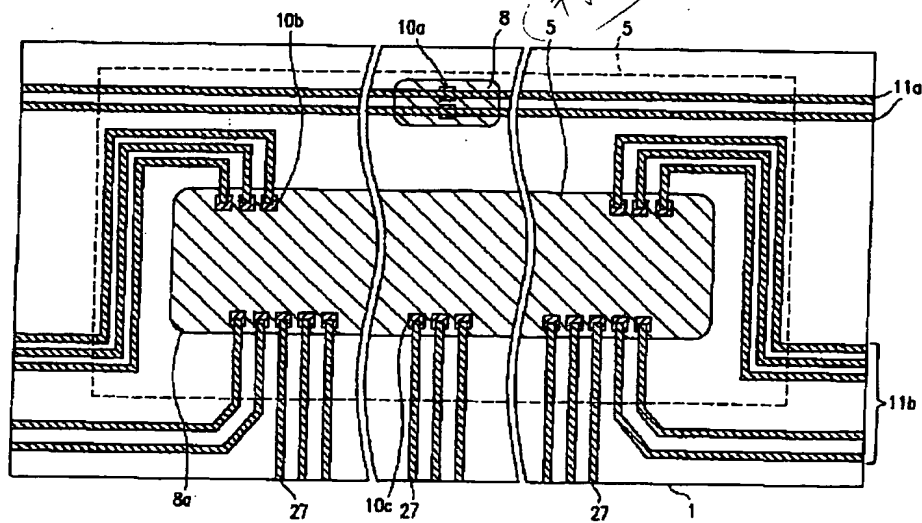
【図7】



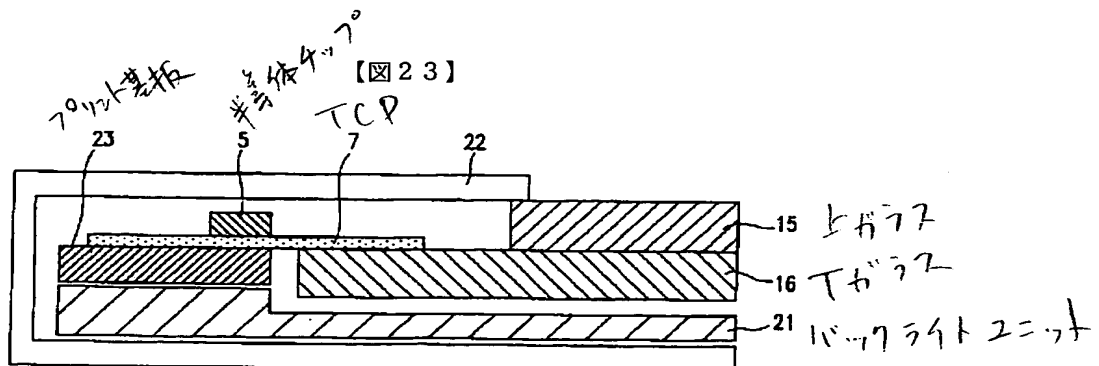
【図6】



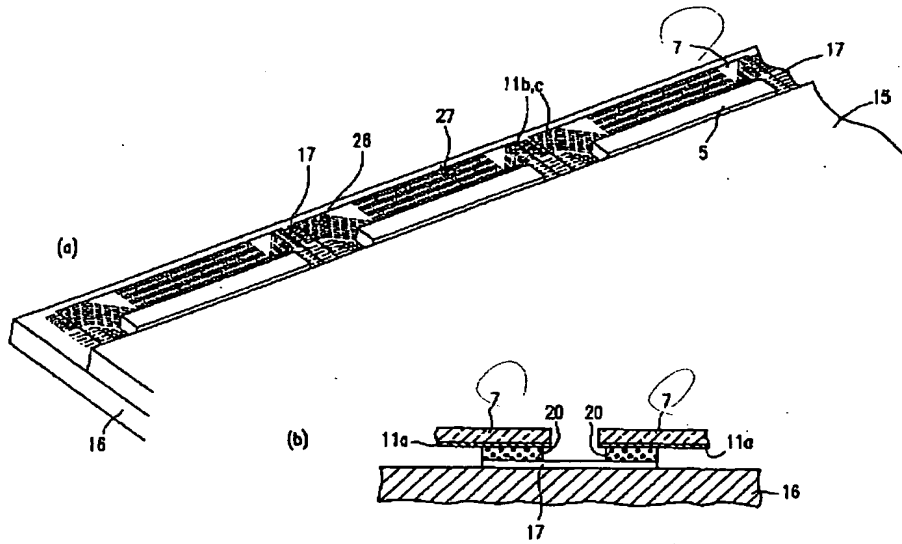
【図8】



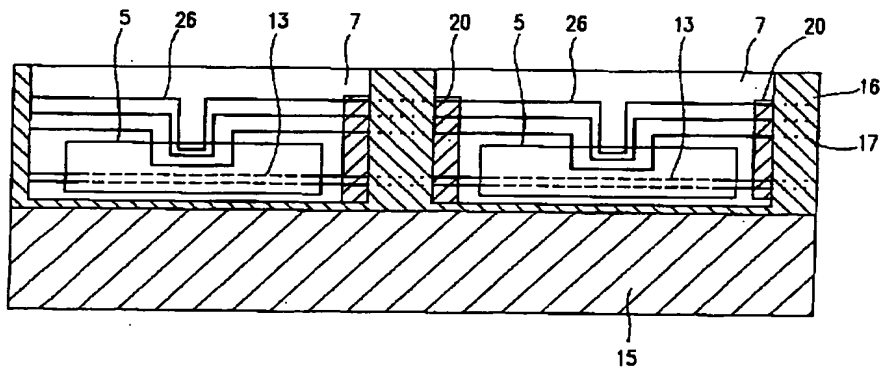
【図23】



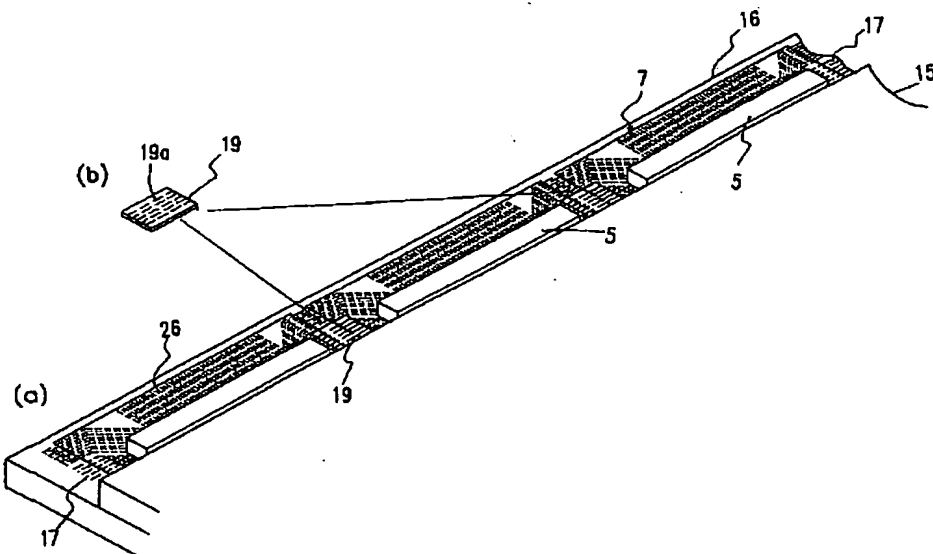
【図 9】



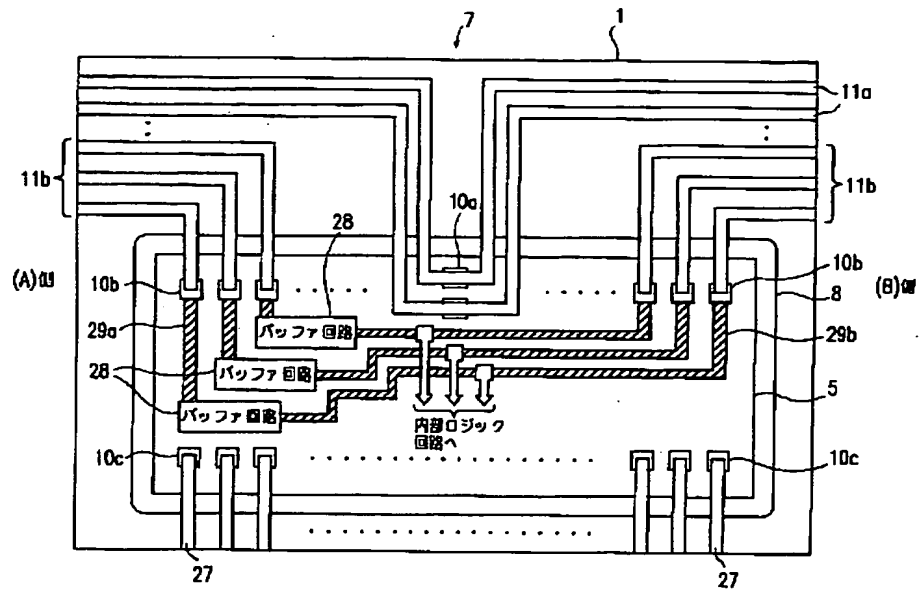
【図 10】



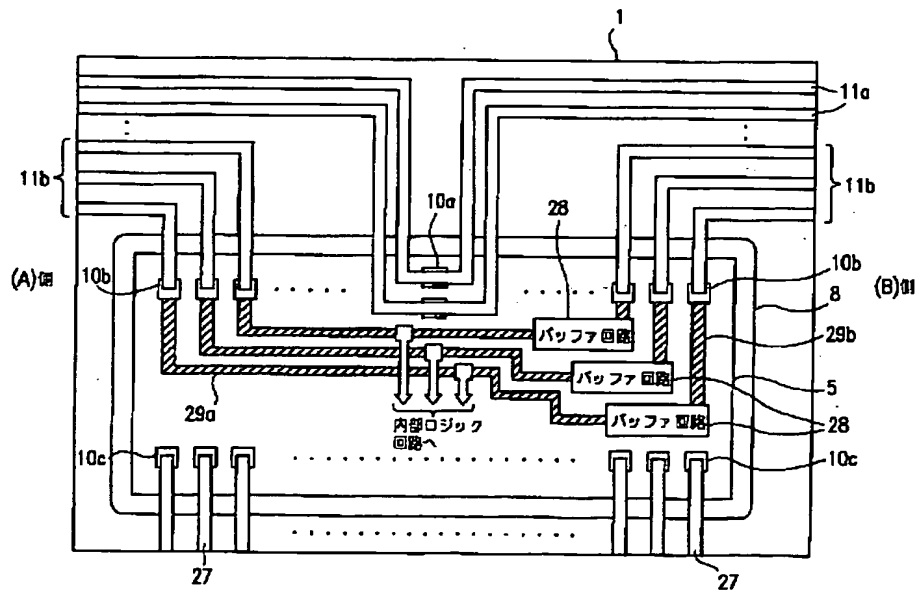
【図 11】



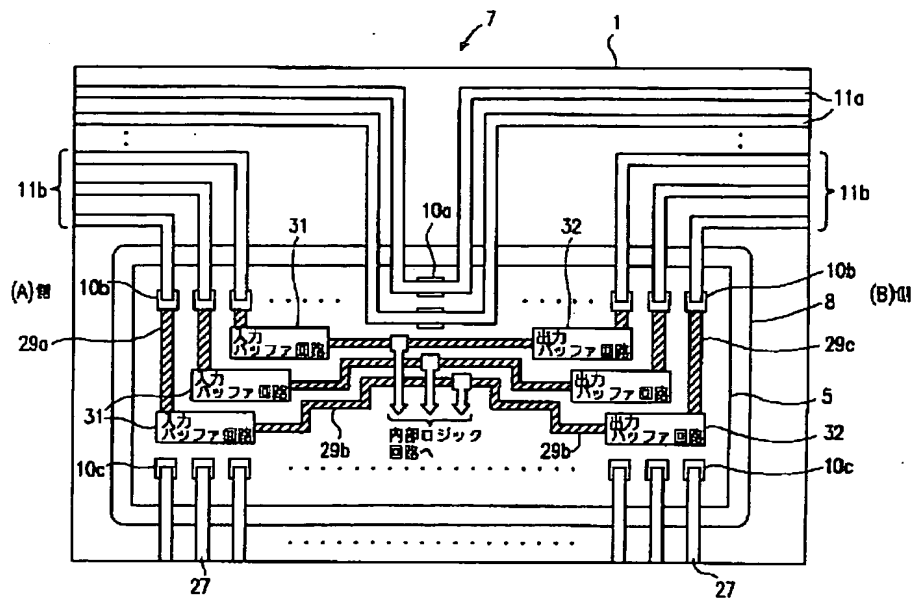
【図 13】



【図 15】

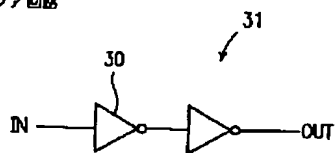


【図 16】

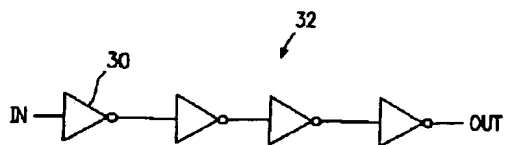


【図 17】

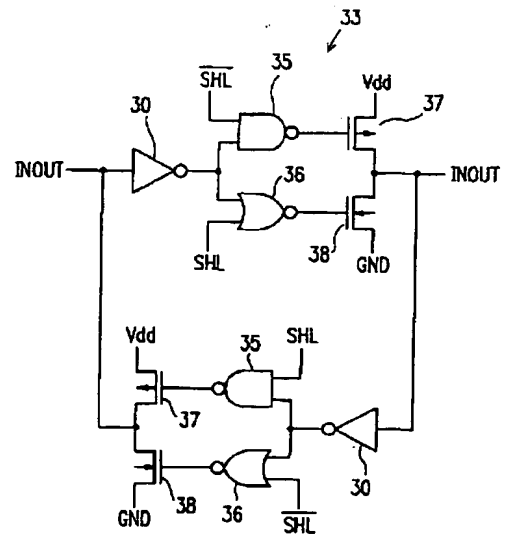
(a) 入力バッファ回路



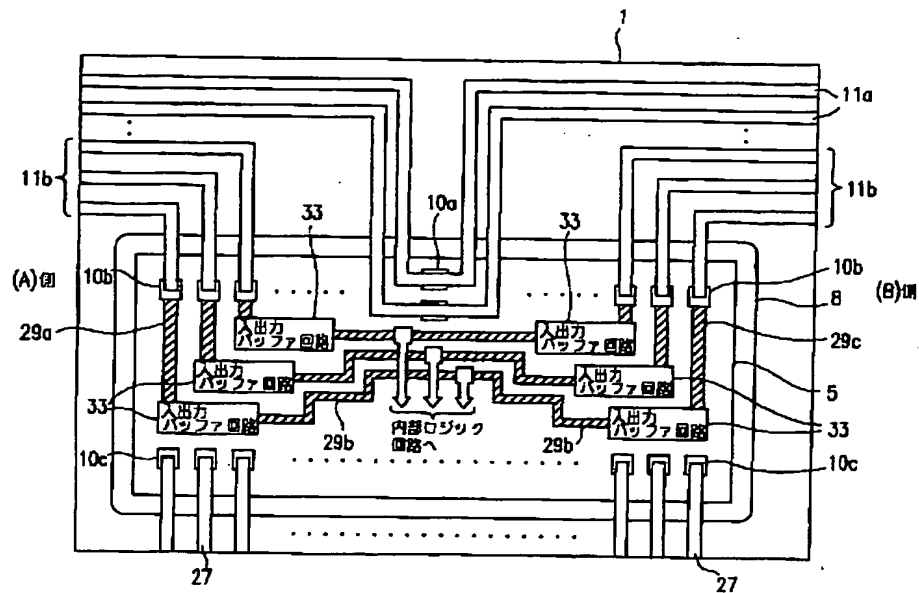
(b) 出力バッファ回路



【図 22】



【図18】



【図19】

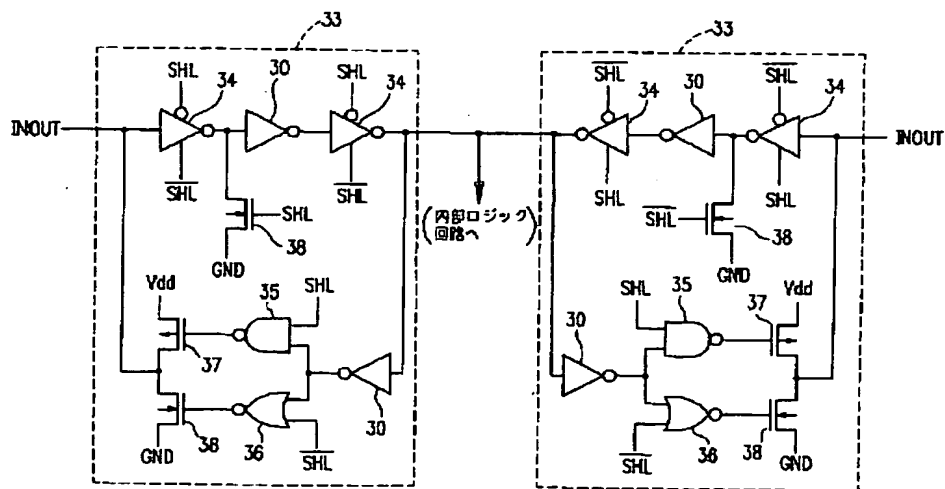
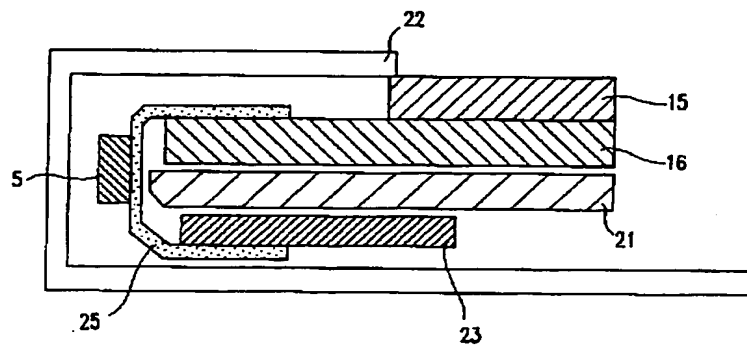


Figure 1 is a schematic diagram of a semiconductor device, showing two cross-sectional views, (A) and (B). The device is a multi-layered structure with various components labeled.

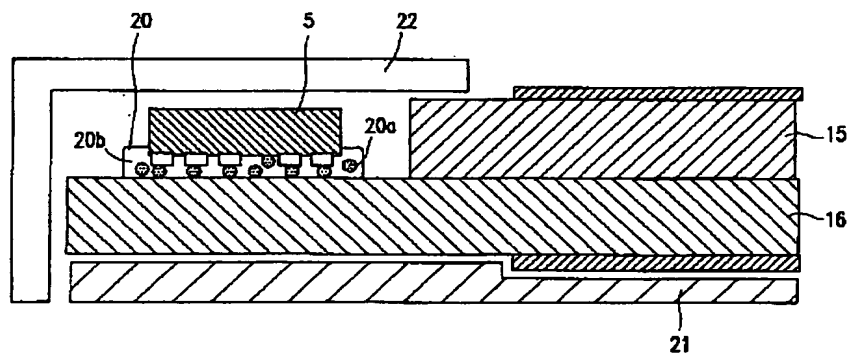
View (A) (Left): Shows a cross-section of the device. A central region is labeled 10a. To its left, a series of layers are labeled 11b, 11a, and 10b. Below 10b, there are two vertical structures labeled 29a and 10c. At the bottom, a series of vertical structures are labeled 27. A central region is labeled 33. Below 33, there are three horizontal regions labeled 8, 29b, and 5. Arrows point from 33 down to 8, 29b, and 5, with the text "内部ロジック回路へ" (to internal logic circuit) below them. The text "入出力バッファ回路" (input/output buffer circuit) is written above each of these three regions. The text "(A)側" (Side A) is on the left.

View (B) (Right): Shows a cross-section of the device. A central region is labeled 10a. To its right, a series of layers are labeled 11b, 11a, and 10b. Below 10b, there are two vertical structures labeled 29a and 10c. At the bottom, a series of vertical structures are labeled 27. A central region is labeled 33. Below 33, there are three horizontal regions labeled 8, 29b, and 5. Arrows point from 33 down to 8, 29b, and 5, with the text "内部ロジック回路へ" (to internal logic circuit) below them. The text "入出力バッファ回路" (input/output buffer circuit) is written above each of these three regions. The text "(B)側" (Side B) is on the right.

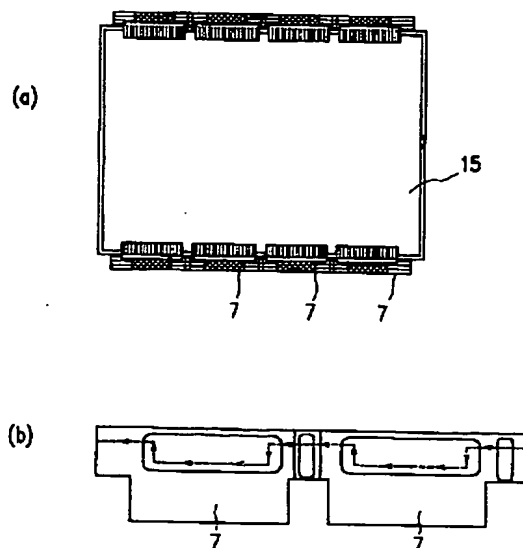
【図 2 4】



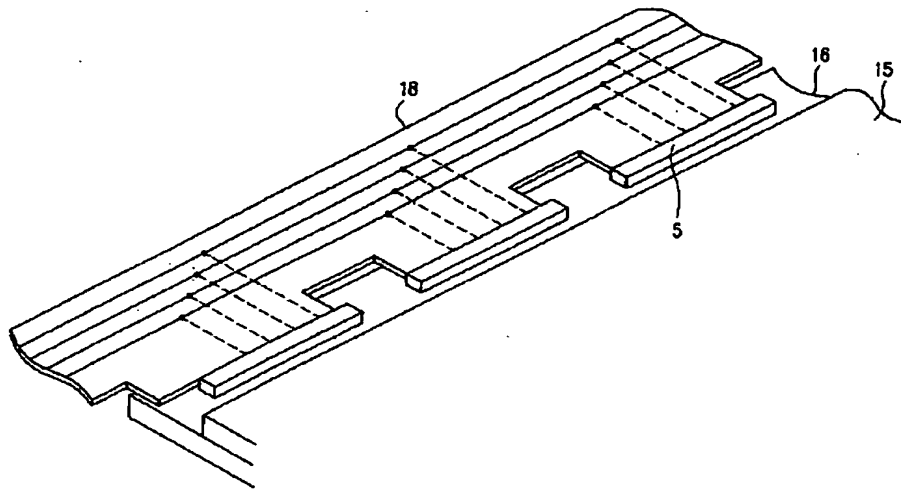
【図 2 5】



【図 2 6】



【図27】



フロントページの続き

(72)発明者 村橋 俊一
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

THIS PAGE BLANK (USPTO)